

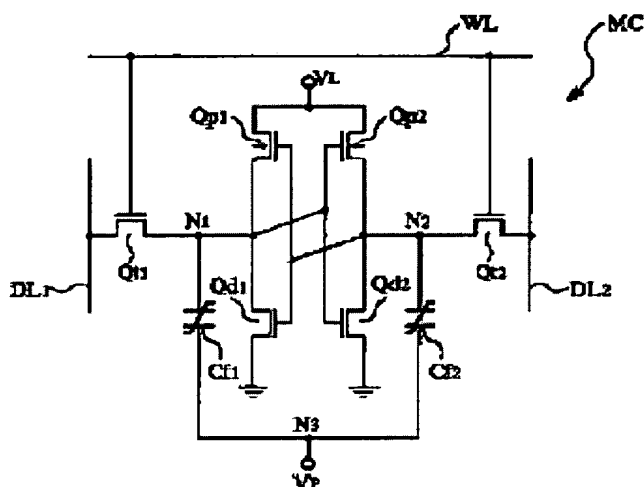
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND ITS MANUFACTURE

Patent number: JP9017965
Publication date: 1997-01-17
Inventor: OGASAWARA MAKOTO; SATO KAZUE; ASANO ISAMU; ASAKURA HISAO
Applicant: HITACHI LTD
Classification:
- international: H01L27/10; H01L27/10; H01L27/04; H01L21/822; H01L27/108; H01L21/8242; H01L29/78; H01L21/8247; H01L29/788; H01L29/792
- european:
Application number: JP19950167338 19950703
Priority number(s):

Abstract of JP9017965

PROBLEM TO BE SOLVED: To materialize a RAM high in integration degree which has a nonvolatile memory function.

SOLUTION: A memory cell MC is composed of a flip flop circuit consisting of MISFETs Qd1 and Qd2 for driving and MISFETs Qp1 and Qp2, MISFETs Qt1 and Qt2 for transfer, and ferroelectric capacitors Qf1 and Qf2 connected, respectively, to the storage nodes N1 and N2 of the flip flop circuit. When the power of the memory cell is cut, the direction of polarization of ferroelectric capacitors Qf1 and Qf2 is set by controlling the power voltage VL and plate voltage Vp each, based on the information accumulated each in the storage nodes N1 and N2, and the information accumulated in the storage nodes N1 and N2 is read out to the ferroelectric capacitors Cf1 and Cf2 and is kept.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17965

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
	3 7 1			3 7 1
27/04			27/04	C
21/822			27/10	6 8 1 F
27/108			29/78	3 0 1 M
審査請求 未請求 請求項の数13 O L (全 21 頁) 最終頁に続く				

(21) 出願番号 特願平7-167338

(22) 出願日 平成7年(1995)7月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小笠原 誠

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 佐藤 和重

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 浅野 勇

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

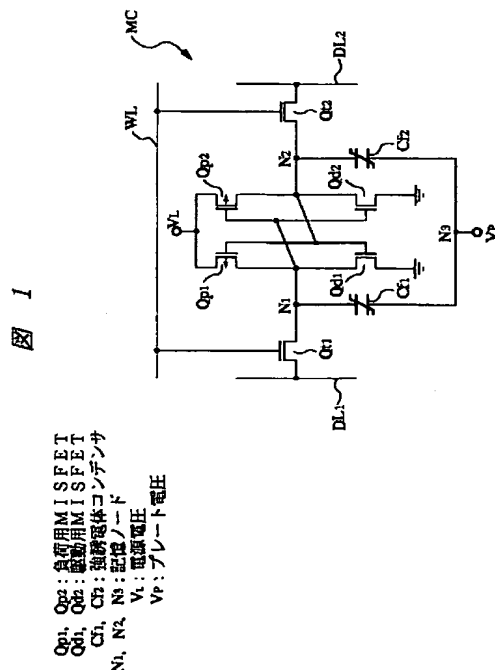
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 不揮発性メモリ機能を有する集積度の高いRAMを実現する。

【構成】 メモリセルMCは、駆動用MISFET Q_{d1} , Q_{d2} と負荷用MISFET Q_{p1} , Q_{p2} からなるフリップフロップ回路、転送用MISFET Q_{t1} , Q_{t2} 、およびフリップフロップ回路の記憶ノード N_1 , N_2 にそれぞれ接続された強誘電体コンデンサ C_{f1} , C_{f2} によって構成されている。メモリセルの電源が切れたときは、記憶ノード N_1 , N_2 にそれぞれ蓄積されている情報をもとに、電源電圧 V_L およびプレート電圧 V_P をそれぞれ制御することによって、強誘電体コンデンサ C_{f1} , C_{f2} の分極方向が設定されて、記憶ノード N_1 , N_2 に蓄積されていた情報が強誘電体コンデンサ C_{f1} , C_{f2} に読み出され、保持される。



【特許請求の範囲】

【請求項1】 不揮発性メモリ機能を有する半導体集積回路装置であって、フリップフロップ回路および前記フリップフロップ回路が有する2個の記憶ノードのそれぞれに接続された2個の強誘電体コンデンサによって構成されるメモリセルを有することを特徴とする半導体集積回路装置。

【請求項2】 不揮発性メモリ機能を有する半導体集積回路装置であって、ワード線で制御される転送用MISFETとフリップフロップ回路からなるSRAMのメモリセルおよび前記フリップフロップ回路が有する2個の記憶ノードのそれぞれに接続された2個の強誘電体コンデンサによって構成されるメモリセルを有することを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、前記フリップフロップ回路は、負荷用MISFETと駆動用MISFETからなる1対の交差結合CMOSトランジスタによって構成され、さらに、第1の動作電圧源に結合された第1のノード、基準電圧源に結合された第2のノードおよび前記2個の記憶ノードを有しており、また、前記2個の強誘電体コンデンサのそれぞれ一方の極板は前記フリップフロップ回路の前記記憶ノードにそれぞれ接続され、前記2個の強誘電体コンデンサのそれぞれ他方の極板は第2の動作電圧源に結合された第3のノードに接続されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または3記載の半導体集積回路装置において、前記フリップフロップ回路を構成する前記負荷用MISFETと前記駆動用MISFETの上方に前記強誘電体コンデンサが形成されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項2または3記載の半導体集積回路装置において、前記転送用MISFETおよび前記フリップフロップ回路を構成する前記負荷用MISFETと前記駆動用MISFETの上方に前記強誘電体コンデンサが形成されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、半導体基板の主面上に前記転送用MISFETおよび前記駆動用MISFETを形成した後、前記駆動用MISFETの上方にボトムゲート構造の前記負荷用MISFETを形成する工程、前記負荷用MISFETのドレイン領域を構成するシリコン膜の上に堆積された絶縁膜に、前記シリコン膜に達するコンタクトホールを形成する工程、前記半導体基板上に第1の導電膜を堆積した後、前記第1の導電膜を加工して前記シリコン膜に接続された前記強誘電体コンデンサの一方の極板を形成する工程、前記半導体基板上に強誘電体膜および第2の導電膜を順次堆積した後、前記第2の導電膜を加工して前記強誘電体コンデンサの他方の極板を形成

し、次いで、前記強誘電体膜を加工する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項5記載の半導体集積回路装置の製造方法において、半導体基板の主面上に前記転送用MISFETおよび共通のゲート電極を有する前記駆動用MISFETと前記負荷用MISFETを形成する工程、前記駆動用MISFETと前記負荷用MISFETの共通のゲート電極を構成するシリコン膜の上に堆積された絶縁膜に前記シリコン膜に達するコンタクトホールを形成する工程、前記半導体基板上に第1の導電膜を堆積した後、前記第1の導電膜を加工して前記シリコン膜に接続された前記強誘電体コンデンサの一方の極板を形成する工程、前記半導体基板上に強誘電体膜および第2の導電膜を順次堆積した後、前記第2の導電膜を加工して前記強誘電体コンデンサの他方の極板を形成し、次いで、前記強誘電体膜を加工する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1、2または3記載の半導体集積回路装置において、前記フリップフロップ回路の前記2個の記憶ノードにそれぞれ蓄積された情報は、前記メモリセルの電源が切れると前記記憶ノードに接続されているそれぞれの前記強誘電体コンデンサに読み出されて記憶され、また、前記2個の強誘電体コンデンサにそれぞれ記憶された情報は、前記メモリセルの電源が入ると前記強誘電体コンデンサが接続されている前記フリップフロップ回路のそれぞれの前記記憶ノードに書き込まれることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置において、前記強誘電体コンデンサを構成する強誘電体膜が分極反転を生じない第1の電圧を、前記フリップフロップ回路が有する前記第1のノードが結合された前記第1の動作電圧源に設定することにより、前記フリップフロップ回路を動作させ、また、前記強誘電体コンデンサを構成する前記強誘電体膜が分極反転を生じる第2の電圧または基準電圧のいずれか一方を選択し、前記フリップフロップ回路が有する前記第1のノードが結合された前記第1の動作電圧源または前記強誘電体コンデンサの他方の極板に接続する前記第3のノードが結合された前記第2の動作電圧源に設定して、前記強誘電体膜の分極状態を制御することにより、前記フリップフロップ回路と前記強誘電体コンデンサの間での情報の読み出し、書き込み動作をすることを特徴とする半導体集積回路装置。

【請求項10】 請求項8または9記載の半導体集積回路装置において、前記フリップフロップ回路の前記2個の記憶ノードにそれぞれ接続された前記強誘電体コンデンサに記憶される情報は、前記強誘電体コンデンサを構成する強誘電体膜の分極の方向に従って設定されることを特徴とする半導体集積回路装置。

【請求項11】 請求項8または9記載の半導体集積回路装置において、前記フリップフロップ回路の前記2個

の記憶ノードにそれぞれ接続された前記強誘電体コンデンサに記憶された情報は、一方の前記強誘電体コンデンサが反転することによって生ずる前記フリップフロップ回路の前記2個の記憶ノード間の電位差を増幅することにより、それぞれの前記強誘電体コンデンサに接続されている前記フリップフロップ回路の前記記憶ノードにそれぞれ書き込まれることを特徴とする半導体集積回路装置。

【請求項12】 請求項9記載の半導体集積回路装置において、前記第2の電圧は、前記第1の電圧よりも大きいことを特徴とする半導体集積回路装置。

【請求項13】 請求項6または7記載の半導体集積回路装置の製造方法において、前記強誘電体膜は、 $PbZrTiO_3$ 膜、 $PbLaZrTiO_3$ 膜または $BaTiO_3$ 膜であることを特徴する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、メモリ機能を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体メモリ的一种であるRAM(Random Access Memory)には、ダイナミックRAM(Dynamic RAM、DRAM)とスタティックRAM(Static RAM、SRAM)がある。

【0003】DRAMのメモリセルは、スイッチの役割をするMISFET(Metal Insulator Semiconductor Field Effect Transistor)と情報電荷を蓄積するキャパシタからなり、このMISFETがキャパシタと、メモリセルの情報を周辺回路に転送するデータ線とを選択的に結合する。この簡単な構成のために、DRAMのメモリセルは小面積で、高密度に製造することができる。

【0004】しかし、上記MISFETのpn接合には漏洩電流があるので、最初にキャパシタに与えられた情報電荷量は、この漏洩電流によって消失してしまう。すなわち、記憶情報が破壊されてしまう。そこで、電荷量が完全に消失する前にメモリセルを読み出して、その読み出し情報をもとに周期的に初期の十分な電荷量をキャパシタに与える動作(リフレッシュ動作)を行う必要がある。

【0005】SRAMは上記リフレッシュ動作を行う必要のないメモリセルによって構成されている点がDRAMと相違する。SRAMのメモリセルは、情報を記憶するフリップフロップ回路と2個の転送用MISFETからなり、転送用MISFETをオン状態にすることによって、データ対線(DL_1 , DL_2)とフリップフロップ回路間で情報が授受される。

【0006】書き込み時には、データ対線の一方に高電

圧("H")を、他方に低電圧("L")を印加し、それを一対の記憶ノードに与えるが、その2通りの与え型の組み合わせ(DL_1 , DL_2 がそれぞれ "H", "L" あるいは "L", "H")を2進の書き込み情報に対応させる。

【0007】読み出しは、一対の記憶ノードの電圧の高低の組み合わせに対応してデータ対線に現れた電圧を検出して行う。記憶ノードにリーク電流があっても、フリップフロップ回路の電源が印加されている限り、減少した電荷量分は負荷を通して電源から供給されるので、リフレッシュ動作の必要はない。

【0008】しかし、SRAMのメモリセルは素子数が多いので、DRAMのメモリセルに比べてセル面積が大きく、従って半導体チップ上に高密度に実装することができない。

【0009】DRAMもSRAMもランダムアクセスし得る利点を有するが揮発性のメモリセルを有する。すなわち、電源をメモリセルから切ると情報が消失する。DRAMではメモリセル内のキャパシタに蓄積された電荷が消失し、SRAMではメモリセル内のフリップフロップ状態を保持する電圧が0Vに低下するため、フリップフロップがその情報を消失する。

【0010】そこで、スイッチの役割をするMISFETと強誘電体コンデンサによって構成されるメモリセルを用いたRAM(Ferroelectric RAM、FRAM)が開発されている。このFRAMは不揮発性メモリである。すなわち、強誘電体コンデンサは一対の極板間に強誘電体材料を介挿したものであり、電源をメモリセルから切っても、強誘電体材料の分極状態が変化しないので、情報は記憶され続ける。

【0011】強誘電体材料は2つの異なる安定な分極状態を有し、この2つの状態は印加電圧に対し分極をプロットして示されるヒステリシスループにより定まる。電圧を強誘電体コンデンサに供給したときに流れる電荷を測定することにより強誘電体材料の分極状態を決定することができる。

【0012】2進値の"0"を一方の分極状態に割り当て、2進値の"1"を他方の分極状態に割り当てることにより、強誘電体コンデンサを2進情報の蓄積に用いることができる。しかし、強誘電体コンデンサをメモリセルの情報記憶用素子に用いると、強誘電体コンデンサが一方の分極状態から他方の分極状態へと繰り返し反転されるので、その強誘電体材料が疲労により劣化し、分極電荷が減ってしまう。

【0013】そこで、強誘電体コンデンサを用いるが、上記強誘電体材料の分極疲労の問題を解決し、ランダムアクセスし得る高速度で長寿命の不揮発性半導体メモリが提供されている。

【0014】例えば、特開昭64-66899号公報に記載されているSRAMの揮発性メモリセルと強誘電体

回路を組み合わせた不揮発性半導体メモリである。この半導体メモリは、SRAMのメモリセルを構成するフリップフロップ回路のそれぞれの記憶ノードに、結合トランジスタを介して強誘電体回路が接続されたメモリセルMCによって構成されている。

【0015】メモリセルMCの常規動作中は結合トランジスタをオフ状態にしており、フリップフロップ回路と強誘電体回路を切り離す。従って、メモリセルMCがSRAMのメモリセルとして完全に機能し、そのデータ線およびワード線によりアクセスしてフリップフロップ回路に情報を書き込み、読み出すことができる。

【0016】しかし、電源がメモリセルから切れるような状態のときには、結合トランジスタをオン状態として、フリップフロップ回路と強誘電体回路を接続し、強誘電体回路にフリップフロップ回路の情報を読み出し、情報を記憶する。

【0017】従って、メモリセルMCは、通常はSRAMのメモリセルとして動作するが、電源が切れても情報を消失することはない。さらに、メモリセルMCの電源が切れたときのみに強誘電体回路を用いるので、FRAMと比べて上記メモリセルMCの強誘電体材料が分極反転する回数が減少し、強誘電体材料の寿命は著しく伸びることになる。

【0018】次に、上記メモリセルMCの動作特性について説明する。フリップフロップ回路の電源電圧が V_{CC} に維持されている時は、それぞれの記憶ノードの電圧は高レベル(V_{CC})と低レベル(基準電圧 V_{SS})である。基準電圧 V_{SS} は、例えば0V(グランド電位)であり、電源電圧 V_{CC} は、例えば5Vである。

【0019】高レベル(V_{CC})の記憶ノードに接続された結合トランジスタをオン状態にすると、この記憶ノードに接続された強誘電体コンデンサの上側極板の電圧が V_{CC} に上昇する。この時、強誘電体コンデンサの下側極板の電圧を V_{SS} とすると、強誘電体コンデンサが一方の分極状態(“高”分極状態と称す)に駆動される。

【0020】他方、低レベル(V_{SS})の記憶ノードに接続された結合トランジスタをオン状態にすると、記憶ノードに接続された強誘電体コンデンサの上側極板の電圧は V_{SS} となる。この時、強誘電体コンデンサの下側極板の電圧を V_{CC} とすると、強誘電体コンデンサが他方の分極状態(“低”分極状態と称す)に駆動される。

【0021】このように、フリップフロップ回路の記憶ノードの高レベルは、この記憶ノードに接続された強誘電体コンデンサに“高”分極状態で記憶され、記憶ノードの低レベルは、この記憶ノードに接続された強誘電体コンデンサに“低”分極状態で記憶される。電源がメモリセルMCから切れても強誘電体コンデンサの分極状態は存続するため、情報は強誘電体回路に保持される。

【0022】メモリセルMCに再び電源が供給されると、結合トランジスタをオン状態として、フリップフロ

ップ回路と強誘電体回路を接続し、強誘電体回路から情報が回収されてフリップフロップ回路に書き込まれる。

【0023】まず、フリップフロップ回路の一对の記憶ノードは、共に0Vに予備充電される。その後、強誘電体コンデンサの下側極板の電圧を V_{CC} に設定し、次いで、結合トランジスタをオン状態とする。この時、“高”分極状態の強誘電体コンデンサは分極反転を生じる。

【0024】この分極反転を生じた強誘電体コンデンサは、他方の“低”分極状態に書き込まれている強誘電体コンデンサよりも大きな電流をフリップフロップ回路の対応する記憶ノードに供給する。この電流の不均衡を利用して、高電流側の記憶ノードが高レベルに対応するようにフリップフロップ回路のそれぞれの記憶ノードを設定する。

【0025】このように、強誘電体コンデンサの“高”分極状態は、この強誘電体コンデンサに接続されているフリップフロップ回路の記憶ノードを高レベル(V_{CC})とし、強誘電体コンデンサの“低”分極状態は、この強誘電体コンデンサに接続されているメモリセルの記憶ノードを低レベル(V_{SS})とする。

【0026】

【発明が解決しようとする課題】しかしながら、フリップフロップ回路と強誘電体回路とを組み合わせることによって得られる前記不揮発性半導体メモリにおいては、以下の問題点があることが本発明者によって見い出された。

【0027】すなわち、フリップフロップ回路と強誘電体回路の間には、結合トランジスタが配置されており、フリップフロップ回路の一对の記憶ノードは、一对の結合トランジスタのソース領域-ドレイン領域バスを経て、一对の強誘電体コンデンサの上側極板に結合されている。

【0028】この結合トランジスタをオフ状態とすることにより、フリップフロップ回路は強誘電体回路から切り離され、記憶ノードに生ずる電圧遷移は強誘電体コンデンサに直接伝達されず、メモリセルMCはSRAMのメモリセルとして機能する。また、結合トランジスタをオン状態とすることにより、フリップフロップ回路と強誘電体回路間での情報のやり取りを行うことが可能となる。

【0029】従って、上記結合トランジスタは、メモリセルMCを動作させるためには重要なゲートである。しかし、結合トランジスタを設けることによって、メモリセルMCの面積が大きくなり、半導体メモリの高集積化を実現することが困難となっている。

【0030】本発明の目的は、不揮発性メモリ機能を有する高集積のRAMを実現することのできる技術を提供することにある。

【0031】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0032】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、ワード線で制御される転送用MISFETとフリップフロップ回路からなるSRAMのメモリセルおよびフリップフロップ回路が有する2個の記憶ノードのそれぞれに接続された2個の強誘電体コンデンサによって構成される不揮発性機能を備えたメモリセルを有するものである。

【0033】(2) また、本発明の半導体集積回路装置は、(1)記載の半導体集積回路装置であって、フリップフロップ回路は、負荷用MISFETと駆動用MISFETからなる1対の交差結合CMOSトランジスタによって構成され、さらに、第1の動作電圧源に結合された第1のノード、基準電圧源に結合された第2のノードおよび2個の記憶ノードを有しており、また、2個の強誘電体コンデンサのそれぞれ一方の極板はフリップフロップ回路の記憶ノードにそれぞれ接続され、2個の強誘電体コンデンサのそれぞれ他方の極板は第2の動作電圧源に結合された第3のノードに接続されているものである。

【0034】(3) また、本発明の半導体集積回路装置は、(1)記載の半導体集積回路装置であって、転送用MISFETおよびフリップフロップ回路を構成する負荷用MISFETと駆動用MISFETの上方に強誘電体コンデンサが形成されているものである。

【0035】(4) また、本発明の半導体集積回路装置の製造方法は、(3)記載の半導体集積回路装置の製造方法であって、まず、半導体基板の主面上に転送用MISFETおよび駆動用MISFETを形成した後、前記駆動用MISFETの上方にボトムゲート構造の負荷用MISFETを形成する。次に、負荷用MISFETのドレイン領域を構成するシリコン膜の上に堆積された絶縁膜に、上記シリコン膜に達するコンタクトホールを形成する。次に、半導体基板上に第1の導電膜を堆積した後、この第1の導電膜を加工して上記シリコン膜に接続された強誘電体コンデンサの一方の極板を形成する。次いで、半導体基板上に強誘電体膜および第2の導電膜を順次堆積した後、上記第2の導電膜を加工して強誘電体コンデンサの他方の極板を形成し、その後、強誘電体膜を加工して強誘電体コンデンサを形成するものである。

【0036】(5) また、本発明の半導体集積回路装置の製造方法は、(3)記載の半導体集積回路装置の製造方法であって、まず、半導体基板の主面上に転送用MISFETおよび共通のゲート電極を有する駆動用MISFETと負荷用MISFETを形成する。次に、駆動用MISFETと負荷用MISFETの共通のゲート電極

を構成するシリコン膜の上に堆積された絶縁膜に、上記シリコン膜に達するコンタクトホールを形成する。次に、半導体基板上に第1の導電膜を堆積した後、この第1の導電膜を加工して上記シリコン膜に接続された強誘電体コンデンサの一方の極板を形成する。次いで、半導体基板上に強誘電体膜および第2の導電膜を順次堆積した後、第2の導電膜を加工して強誘電体コンデンサの他方の極板を形成し、その後、強誘電体膜を加工して強誘電体コンデンサを形成するものである。

【0037】

【作用】上記した手段によれば、フリップフロップ回路のそれぞれの記憶ノードに強誘電体コンデンサが直接接続された構成で不揮発性機能を備えたメモリセルを実現することができ、また、転送用MISFET、フリップフロップ回路を構成する負荷用MISFETと駆動用MISFETの上方に強誘電体コンデンサを形成することができるので、強誘電体コンデンサを設けることによるメモリセル面積の増加を防ぐことができる。従って、メモリセルの面積を増すことなく、電源が切れてもフリップフロップ回路の記憶ノードにおける情報を保持できる強誘電体コンデンサを形成することができるので、不揮発性メモリ機能を有する高集積のRAMを実現することができる。

【0038】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0039】本発明の一実施例である不揮発性メモリ機能を有するRAMおよびその製造方法を図1～図22を用いて説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0040】(実施例1) 図1は、本実施例の転送用MISFET Q_{t1} , Q_{t2} とフリップフロップ回路によって構成されるSRAMのメモリセルと強誘電体コンデンサ C_{f1} , C_{f2} を組み合わせたメモリセルMCの等価回路図を示す。同図に示すように、メモリセルMCは2個のnチャネルMISFET (駆動用MISFET) Q_{d1} , Q_{d2} と2個のpチャネルMISFET (負荷用MISFET) Q_{p1} , Q_{p2} からなるフリップフロップ回路を含む。

【0041】転送用MISFET Q_{t1} , Q_{t2} はフリップフロップ回路の記憶ノード N_1 , N_2 をデータ線 DL_1 , DL_2 にそれぞれ結合する。転送用MISFET Q_{t1} , Q_{t2} のゲート電極はワード線 WL に結合される。

【0042】また、記憶ノード N_1 , N_2 は強誘電体コンデンサ C_{f1} , C_{f2} の一方の極板にそれぞれ結合されており、強誘電体コンデンサ C_{f1} , C_{f2} の他方の極板はノード N_3 で電気的に結合され、ノード N_3 にはプレート電圧 (V_p) が印加される。

【0043】なお、強誘電体コンデンサ C_{f1} , C_{f2}

2 は、一方の極板と他方の極板と、これら極板の間に形成された強誘電体膜とで構成される。

【0044】まず、メモリセルMCの動作特性について図2～図8に示した等価回路図を用いて説明する。なお、図2～図8においては、転送用MISFETQ_{t1}、Q_{t2}は省略してある。

【0045】また、図9にフリップフロップ回路の電源電圧(V_L)およびプレート電圧(V_P)のスイッチングのタイミング図を、図10に記憶ノードN₁および記憶ノードN₂でのそれぞれの電圧変化を示す。

【0046】瞬時t₀からt₁までの常規動作中では、フリップフロップ回路の電源にはV_{CC}が印加される。これによって、フリップフロップ回路の一方の記憶ノードは高レベル(V_{CC})に、他方の記憶ノードは低レベル(V_{SS})となる。

【0047】この時、電源電圧V_{CC}は記憶ノードに接続された強誘電体コンデンサに分極反転を起こさない電圧範囲内に設定され、また、強誘電体コンデンサC_{f1}、C_{f2}の一方の極板に印加されるプレート電圧はグランド電位に設定される。従って、一方の記憶ノードが高レベル(V_{CC})に上昇しても、これに接続されている強誘電体コンデンサC_{f1}、C_{f2}においては“高”分極状態のものはそのまま“高”分極状態が保持され、“低”分極状態のものは分極反転することなく、“低”分極状態のままに保持される。

【0048】すなわち、図23に示すように、電源電圧V_{CC}による電界E_vは、分極反転を起こす電界E_Rよりも小さく設定される。なお、図23は、強誘電体コンデンサの強誘電体膜のヒステリシスループを示し、横軸は電界E、縦軸は分極Rを示す。

【0049】すなわち、フリップフロップ回路を電源電圧V_{CC}で動作させている状態では、メモリセルMCがSRAMのメモリセルとして機能し、そのデータ線DL₁、DL₂およびワード線WLによりアクセスして、フリップフロップ回路に情報の読み出し、書き込みを行うことができる。

【0050】なお、特に限定されないが常規動作中では、強誘電体コンデンサC_{f1}、C_{f2}のうち、一方は“高”分極状態、他方は“低”分極状態に保持される。

【0051】次に、フリップフロップ回路から強誘電体コンデンサC_{f1}、C_{f2}への情報の読み出し方法について説明する(図2および図3)。

【0052】瞬時t₁にフリップフロップ回路に蓄積されている情報を強誘電体コンデンサC_{f1}、C_{f2}へ転記することが必要となると、プレート電圧をV_{SS}に保持した状態で、フリップフロップ回路の電源電圧をV_{CC}からV_{CC}'へ上昇させる。説明のために、瞬時t₁でのフリップフロップ回路に蓄積されている情報は、記憶ノードN₁が高レベル(V_{CC}')で、記憶ノードN₂が低レベル(V_{SS})であるものとする。

【0053】V_{CC}'は、強誘電体コンデンサC_{f1}、C_{f2}を分極反転させるのに十分な電圧である。すなわち、V_{CC}'による電界は、分極反転を起こす電界E_Rよりも大きい。ノードN₃が低レベル(V_{SS})であるため、記憶ノードN₁の電圧の上昇により、図2に示すように、記憶ノードN₁に接続された強誘電体コンデンサC_{f1}に“高”分極状態が書き込まれる。

【0054】強誘電体コンデンサC_{f1}は、瞬時t₀での状態が“高”分極状態であればそのまま“高”分極状態が維持される。瞬時t₀での状態が“低”分極状態のものは、分極反転を生じて“高”分極状態に書き換えられるが、この時、分極反転電流が、負荷用MISFETQ_{p1}から記憶ノードN₁へと流れて、記憶ノードN₁での電圧が変動する。

【0055】しかし、記憶ノードN₁での電圧(V₁)は強誘電体コンデンサC_{f1}の容量(C₁)と負荷用MISFETQ_{p1}および記憶ノードN₁の寄生容量(C₂)によって決まり、次の式(1)で表されるが、

式(1) $V_1 = (C_1 / (C_1 + C_2)) V_{CC}'$
通常は、C₂に比べてC₁は非常に大きいため、V₁は、ほぼV_{CC}'となる。

【0056】次に、記憶ノードN₂に接続された強誘電体コンデンサC_{f2}に情報を転記する必要がある。瞬時t₂で、フリップフロップ回路の電源電圧はV_{CC}'に設定したまま、プレート電圧をV_{SS}からV_{CC}'へ上昇させてノードN₃を高レベル(V_{CC}')に上げる。図3に示すように、記憶ノードN₂は低レベル(V_{SS})であるため、記憶ノードN₃に接続された強誘電体コンデンサC_{f2}に“低”分極状態が書き込まれる。

【0057】“高”書き込みの場合と同様に、強誘電体コンデンサC_{f2}は、瞬時t₁での状態が“低”分極状態であれば、そのまま“低”分極状態に維持される。瞬時t₁での状態が“高”分極状態のものは、分極反転を生じて“低”分極状態に書き換えられるが、この時、分極反転電流が記憶ノードN₂から駆動用MISFETQ_{d2}へと流れて、記憶ノードN₂の電圧が変動する。

【0058】しかし、記憶ノードN₂での電圧(V₂)も強誘電体コンデンサC_{f2}の容量(C₁)と駆動用MISFETQ_{d2}および記憶ノードN₂の寄生容量(C₃)によって決まり、次の式(2)で表されるが、

式(2) $V_2 = (C_1 / (C_1 + C_3)) V_{SS}$
通常は、C₃に比べてC₁は非常に大きいため、V₂は、ほぼV_{SS}となる。

【0059】瞬時t₁、t₂の動作によって、フリップフロップ回路の情報は強誘電体コンデンサC_{f1}、C_{f2}に蓄積される。一方の記憶ノードN₂の高レベル(V_{CC}')は、これに接続される強誘電体コンデンサC_{f1}に書き込まれた“高”分極状態に対応し、他方の記憶ノードN₂の低レベル(V_{SS})は、これに接続される強誘電体コンデンサC_{f2}に書き込まれた“低”分極状態

に対応する。

【0060】瞬時 t_3 において、全ての電圧が0Vとなり、記憶ノード N_1, N_2 での情報が失われても、強誘電体コンデンサ Cf_1, Cf_2 の分極状態は存続するため、フリップフロップ回路の情報を強誘電体コンデンサ Cf_1, Cf_2 において保持することができる。

【0061】次に、図4～図8を用いて強誘電体コンデンサ Cf_1, Cf_2 からフリップフロップ回路への情報の書き込み方法について説明する。

【0062】瞬時 t_4 に強誘電体コンデンサ Cf_1, Cf_2 に保存されている情報をフリップフロップ回路へ転記することが必要となると、フリップフロップ回路の電源電圧を V_{ss} に保持した状態で、プレート電圧を V_{ss} から V_{cc}' へ上昇させる。電源電圧は V_{ss} に設定されているので、負荷用MISFET Q_{p1}, Q_{p2} は常にオフ状態となっている。

【0063】しかし、瞬時 t_4 において、負荷用MISFET Q_{p1} および駆動用MISFET Q_{d1} から記憶ノード N_1 に電流が流れ込み、記憶ノード N_1 の電圧は瞬時 V_{N1} に上昇する。同様に、負荷用MISFET Q_{p2} および駆動用MISFET Q_{d2} から記憶ノード N_2 に電流が流れ込み、記憶ノード N_2 の電圧は瞬時 V_{N1} に上昇する。 V_{N1} は強誘電体コンデンサ Cf_1, Cf_2 の容量と負荷用MISFET Q_{p1}, Q_{p2} および駆動用MISFET Q_{d1}, Q_{d2} の寄生容量によって決まる電圧レベルである。

【0064】記憶ノード N_1, N_2 の電圧が V_{N1} に上昇して、 V_{N1} が駆動用MISFET Q_{d1}, Q_{d2} のしきい値電圧よりも高くなると、駆動用MISFET Q_{d1}, Q_{d2} がオン状態となる。これによって、電流が記憶ノード N_1 から駆動用MISFET Q_{d1} へ流れて、記憶ノード N_1 の電圧は低下し、ほぼ0Vとなる。同様に、電流が記憶ノード N_2 から駆動用MISFET Q_{d2} へ流れて、記憶ノード N_2 の電圧は低下し、ほぼ0Vとなる。

【0065】この結果、瞬時 t_5 において、瞬時 t_4 での状態が“高”分極状態である強誘電体コンデンサ Cf_1 は“低”分極状態に書き換えられる。なお、瞬時 t_4 での状態が“低”分極状態である強誘電体コンデンサ Cf_2 はそのまま“低”分極状態に維持される。

【0066】強誘電体コンデンサ Cf_1 が分極反転する際には、分極反転電流が流れて、記憶ノード N_1 の電圧(V_{N2})が記憶ノード N_2 の電圧(V_{N3})よりも高くなり、記憶ノード N_1 と記憶ノード N_2 間に電位差が生じる。この状態で瞬時 t_6 において、フリップフロップ回路の電源電圧を V_{cc}' に上げると、このフリップフロップ回路に正帰還がかかり、記憶ノード N_1 は高レベル(V_{cc}')に、記憶ノード N_2 は低レベル(V_{ss})に設定される。

【0067】次に、瞬時 t_7 でプレート電圧を V_{ss} に下げて、瞬時 t_6 での状態が“低”分極状態の強誘電体コ

ンデンサ Cf_1 を“高”分極状態に書き換えた後、瞬時 t_8 でフリップフロップ回路の電源電圧を V_{cc} に下げ、これによって、記憶ノード N_1 の電圧は V_{cc}' から V_{cc} へ設定されて、常規動作状態に戻る。

【0068】上記方法によって、フリップフロップ回路の常規動作、フリップフロップ回路から強誘電体コンデンサ Cf_1, Cf_2 への情報の読み出し、および強誘電体コンデンサからフリップフロップ回路への情報の書き込みの一連の動作が行われる。

【0069】次に、上記メモリセルMCの具体的な第1の構成(メモリセル MC_1)を図11～図16を用いて説明する。

【0070】図12～16は強誘電体コンデンサ Cf_1, Cf_2 を備えたメモリセル MC_1 の平面図(メモリセル MC_1 の略1個分を示す半導体基板の平面図)を示し、図11は図16の(a)～(a)'線における半導体基板の断面図を示す。なお、メモリセル MC_1 のフリップフロップ回路の構成は、TFT(Thin Film Transistor)型SRAMのメモリセルに用いられるフロップフロップ回路と同じである。

【0071】図11に示すように、 n^- 型シリコン単結晶からなる半導体基板(半導体チップ)1の主面には、 p^- 型ウエル2が形成され、この p^- 型ウエル2の非活性領域の主面には、酸化シリコン膜からなる素子分離用のフィールド絶縁膜4が形成されている。フィールド絶縁膜4の下には、反転防止用の p 型チャネルストップ領域5が形成されている。

【0072】メモリセル MC_1 を構成する駆動用MISFET Q_{d1}, Q_{d2} 、転送用MISFET Q_{t1}, Q_{t2} および負荷用MISFET Q_{p1}, Q_{p2} のうち、駆動用MISFET Q_{d1}, Q_{d2} および転送用MISFET Q_{t1}, Q_{t2} のそれぞれは、前記フィールド絶縁膜4で囲まれた p^- 型ウエル2の活性領域の主面に形成されている。

【0073】上記駆動用MISFET Q_{d1}, Q_{d2} のそれぞれは、ゲート絶縁膜6、ゲート電極7、ソース領域およびドレイン領域で構成されている。ゲート電極7は、第1層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で形成されている。この多結晶シリコン膜には、その抵抗値を低減するために n 型の不純物(例えばリン(P))が導入されている。

【0074】上記駆動用MISFET Q_{d1}, Q_{d2} のゲート電極7の上部には、絶縁膜8が形成されている。この絶縁膜8は、例えば酸化シリコン膜からなる。また、ゲート電極7のゲート長方向の側壁には、サイドウォールスペーサ9が形成されている。このサイドウォールスペーサ9は、例えば酸化シリコン膜からなる。

【0075】上記駆動用MISFET Q_{d1}, Q_{d2} のそれぞれのソース領域およびドレイン領域は、低不純物濃度の n^- 型半導体領域10とその上部に設けられた高不

純物濃度の n^+ 型半導体領域11とで構成されている。すなわち、駆動用MISFET Q_{d1} 、 Q_{d2} は、それぞれのソース領域およびドレイン領域が、いわゆる2重拡散ドレイン(Double Diffused Drain)構造で構成されている。

【0076】半導体基板1の主面に形成された前記フィールド絶縁膜4および駆動用MISFET Q_{d1} 、 Q_{d2} のゲート電極7のパターンレイアウトを図12に示す。図中、フィールド絶縁膜4で囲まれた2つのL字状の領域3がメモリセル MC_1 の1個分の活性領域である。

【0077】図12に示すように、上記駆動用MISFET Q_{d1} 、 Q_{d2} のそれぞれのゲート電極7の一端側は、少なくとも製造プロセスにおけるマスク合わせ余裕寸法に相当する分、フィールド絶縁膜4上に突出している。また、駆動用MISFET Q_{d1} のゲート電極7(Q_{d1})の他端側は、フィールド絶縁膜4を介して駆動用MISFET Q_{d2} のドレイン領域上まで突出し、駆動用MISFET Q_{d2} のゲート電極7(Q_{d2})の他端側は、フィールド絶縁膜4を介して駆動用MISFET Q_{d1} のドレイン領域7上まで突出している。

【0078】図11に示すように、メモリセル MC_1 の転送用MISFET Q_{t1} 、 Q_{t2} のそれぞれは、ゲート絶縁膜12、ゲート電極13A、ソース領域およびドレイン領域で構成されている。

【0079】ゲート電極13Aは、第2層目のゲート材形成工程で形成され、例えば多結晶シリコン膜と高融点金属シリサイド膜との積層膜(ポリサイド膜)で構成されている。下層の多結晶シリコン膜には、その抵抗値を低減するために n 型の不純物(例えばP)が導入されている。上層の高融点金属シリサイド膜は、例えば WSi_x 、 $MoSi_x$ 、 $TiSi_x$ 、 $TaSi_x$ などで構成される。

【0080】上記転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aの上部には、絶縁膜15が形成されている。この絶縁膜15は、例えば酸化シリコン膜からなる。また、ゲート電極13Aの側壁には、サイドウォールスペーサ16が形成されている。このサイドウォールスペーサ16は、例えば酸化シリコン膜からなる。

【0081】上記転送用MISFET Q_{t1} 、 Q_{t2} のそれぞれのソース領域およびドレイン領域は、低不純物濃度の n^- 型半導体領域17と高不純物濃度の n^+ 型半導体領域18とで構成されている。すなわち、転送用MISFET Q_{t1} 、 Q_{t2} のソース領域およびドレイン領域は、LDD(Lightly Doped Drain)構造で構成されている。

【0082】半導体基板1の主面に形成された上記転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aのパターンレイアウトを図13に示す。同図に示すように、転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aは、そのゲート長(L_g)方向が駆動用MISFET Q_{d1} 、

Q_{d2} のゲート電極7のゲート長(L_g)方向と交差するように配置されている。

【0083】図13に示すように、転送用MISFET Q_{t1} のソース領域乃至ドレイン領域の一方は、駆動用MISFET Q_{d1} のドレイン領域と一体に構成されている。同様に、転送用MISFET Q_{t2} のソース領域乃至ドレイン領域の一方は、駆動用MISFET Q_{d2} のドレイン領域と一体に構成されている。

【0084】転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aには、ワード線WLが接続され、転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aは、ワード線WLと一体に構成されている。

【0085】上記ワード線WLと平行して、2個の駆動用MISFET Q_{d1} 、 Q_{d2} に共通のソース線として構成された基準電圧線(V_{ss})13Bが配置されている。基準電圧線(V_{ss})13Bは、転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極13Aおよびワード線WLと同じ第2層目のゲート材形成工程で形成され、フィールド絶縁膜4上をワード線WLと同一方向に延在している。

【0086】また、基準電圧線(V_{ss})13Bは、駆動用MISFET Q_{d1} 、 Q_{d2} のゲート絶縁膜6と同一の絶縁膜に開孔されたコンタクトホール14を通じて、駆動用MISFET Q_{d1} 、 Q_{d2} のそれぞれのソース領域(n^+ 型半導体領域11)に接続されている。

【0087】メモリセル MC_1 の2個の負荷用MISFET Q_{p1} 、 Q_{p2} のうち、負荷用MISFET Q_{p1} は、駆動用MISFET Q_{d2} の領域上に配置され、負荷用MISFET Q_{p2} は、駆動用MISFET Q_{d1} の領域上に配置されている。負荷用MISFET Q_{p1} 、 Q_{p2} のそれぞれは、ゲート電極23A、ゲート絶縁膜24、チャネル領域26N、ソース領域26Pおよびドレイン領域26Pで構成されている。

【0088】上記負荷用MISFET Q_{p1} 、 Q_{p2} のゲート電極23Aは、第3層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で形成されている。この多結晶シリコン膜には、その抵抗値を低減するために n 型の不純物(例えばP)が導入されている。負荷用MISFET Q_{p1} 、 Q_{p2} のゲート電極23Aのパターンレイアウトを図14に示す。

【0089】図11および図14に示すように、上記負荷用MISFET Q_{p1} のゲート電極23Aは、絶縁膜21および絶縁膜8に開孔されたコンタクトホール22を通じて、駆動用MISFET Q_{d1} のゲート電極7および転送用MISFET Q_{t2} のソース領域乃至ドレイン領域の一方に接続されている。

【0090】同様に、負荷用MISFET Q_{p2} のゲート電極23Aは、絶縁膜21および絶縁膜8に開孔されたコンタクトホール22を通じて、駆動用MISFET Q_{d2} のゲート電極7および転送用MISFET Q_{t1} のソース領域乃至ドレイン領域の一方に接続されてい

る。

【0091】上記転送用MISFET Q_{t1} , Q_{t2} のソース領域乃至ドレイン領域の他方の上部には、負荷用MISFET Q_{p1} , Q_{p2} のゲート電極23Aと同じ第3層目のゲート材形成工程で形成されたパッド層23Bが配置されている。このパッド層23Bは、絶縁膜21に開孔されたコンタクトホール22を通じて、転送用MISFET Q_{t1} , Q_{t2} のソース領域乃至ドレイン領域の他方に接続されている。

【0092】図11に示すように、上記負荷用MISFET Q_{p1} , Q_{p2} のゲート電極23Aの上部には、負荷用MISFET Q_{p1} , Q_{p2} のゲート絶縁膜24が形成されている。このゲート絶縁膜24は、例えば酸化シリコン膜からなる。

【0093】上記負荷用MISFET Q_{p1} , Q_{p2} のゲート絶縁膜24の上部には、負荷用MISFET Q_{p1} , Q_{p2} のチャネル領域26N、ソース領域26Pおよびドレイン領域26Pが形成されている。チャネル領域26Nは、第4層目のゲート材形成工程で形成され、例えば多結晶シリコン膜で構成されている。

【0094】この多結晶シリコン膜には、負荷用MISFET Q_{p1} , Q_{p2} のしきい値電圧をエンハンスメント型にするために、n型の不純物（例えばP）が導入されている。負荷用MISFET Q_{p1} , Q_{p2} のチャネル領域26N、ソース領域26Pおよびドレイン領域26Pのパターンレイアウトを図14に示す。

【0095】図15に示すように、上記負荷用MISFET Q_{p1} , Q_{p2} のチャネル領域26Nの一端側にはドレイン領域26Pが形成され、他端側にはソース領域26Pが形成されている。ドレイン領域26Pおよびソース領域26Pは、チャネル領域26Nと同じ第4層目のゲート材（多結晶シリコン）形成工程で形成され、チャネル領域26Nと一体に構成されている。ドレイン領域26Pおよびソース領域26Pを構成する多結晶シリコン膜には、p型の不純物（例えばBF₂）が導入されている。

【0096】このように、本実施例のメモリセルMCの負荷用MISFET Q_{p1} , Q_{p2} は、第3層目のゲート材形成工程で形成されたゲート電極23Aの上部に第4層目のゲート材形成工程で形成されたチャネル領域26N、ソース領域26Pおよびドレイン領域26Pを配置した、いわゆるボトムゲート構造で構成されている。

【0097】図15に示すように、上記負荷用MISFET Q_{p1} のドレイン領域26Pは、ゲート絶縁膜24と同一層の絶縁膜に開孔されたコンタクトホール25を通じ、負荷用MISFET Q_{p2} のゲート電極23Aに接続されている。同様に、負荷用MISFET Q_{p2} のドレイン領域26Pは、ゲート絶縁膜24と同一層の絶縁膜に開孔されたコンタクトホール25を通じて、負荷用MISFET Q_{p1} のゲート電極23Aに接続されて

いる。

【0098】上記負荷用MISFET Q_{p1} , Q_{p2} のソース領域26Pには、電源電圧線（ V_L ）26Pが接続されている。電源電圧線（ V_L ）26Pは、チャネル領域26N、ドレイン領域26Pおよびソース領域26Pと同じ第4層目のゲート材（多結晶シリコン）形成工程で形成され、これらと一体に構成されている。

【0099】図11に示すように、上記負荷用MISFET Q_{p1} , Q_{p2} の上部には、第1層目の層間絶縁膜27が形成されている。この層間絶縁膜27は、例えば酸化シリコン膜とBPSG膜からなる。

【0100】上記層間絶縁膜27の上部には、第1層目の配線29A、29Bが形成されている。第1層目の配線29Aは、層間絶縁膜27に開孔されたコンタクトホール28Aを通じて負荷用MISFET Q_{p1} , Q_{p2} のドレイン領域26Pに接続されている。

【0101】また、第1層目の配線29Bは、ゲート絶縁膜24および層間絶縁膜27に開孔されたコンタクトホール28Bを通じて転送用MISFET Q_{t1} , Q_{t2} のソース領域乃至ドレイン領域の上部に形成されたパッド層23Bに接続されている。上記第1層目の配線29A、29Bは、第1層目の配線材形成工程で形成され、例えばタングステン（W）などの高融点金属膜で構成されている。

【0102】第1層目の配線29Aのパターンレイアウトを図16に示す。なお、同図は、図面を見易くするために、第1層目の配線29A、29Bの下層の導電層のうち、第4層目のゲート材（負荷用MISFET Q_{p1} , Q_{p2} のチャネル領域26N、ソース領域26P、ドレイン領域26Pおよび電源電圧線（ V_L ）26P）と、第3層目のゲート材（負荷用MISFET Q_{p1} , Q_{p2} のゲート電極23Aおよびパッド層23B）のみを図示してある。

【0103】図11に示すように、上記第1層目の配線29Aの上層には、第1のバリア層30を介して強誘電体膜31が形成されている。第1のバリア層30は、例えば酸化イリジウム（IrO₂）膜であり、強誘電体膜31は、例えばPZT（PbZrTiO₃）膜である。

【0104】さらに、上記強誘電体膜31の上層には、第2のバリア層32を介してプレート電極33が形成されている。第2のバリア層32は、例えばIrO₂膜であり、プレート電極33は、例えばWなどの高融点金属膜である。前記第1のバリア層30および第2のバリア層32は、強誘電体膜31とその下層に位置する第1層目の配線29A、および強誘電体膜31とその上層に位置するプレート電極33が反応するのを防ぐために設けられている。

【0105】上記プレート電極33および第1層目の電極29Bの上層には、第2層目の層間絶縁膜34を介して第2層目の配線（データ線DL）36が配置されてい

る。データ線DLは、層間絶縁膜34に開孔されたコンタクトホール35を通じて第1層目の配線29Bに接続されており、第1層目の配線29Bおよびパッド層23Bを介して転送用MISFETQ_{t1}, Q_{t2}のソース領域乃至ドレイン領域の一方に接続されている。

【0106】上記第2層目の配線36は、例えばバリア金属膜、アルミニウム合金膜、バリア金属膜を順次積層した3層金属膜からなる。バリア金属は、例えばTiWで構成され、アルミニウム合金は、例えばCuおよびSiを添加したアルミニウムで構成されている。層間絶縁膜34は、例えば酸化シリコン膜、スピノングラス(SOG)膜、酸化シリコン膜を順次積層した3層絶縁膜からなる。

【0107】上記第2層目の配線36の上層には、ファイナルパッシベーション膜37が形成されている。このファイナルパッシベーション膜37は、例えば酸化シリコン膜と窒化シリコン膜との積層膜からなる。

【0108】次に、上記のように構成された本実施例のメモリセルMC₁の製造方法を、図11、図17および図18を用いて説明する。

【0109】まず、図17に示すように、周知の方法でn⁻型シリコン単結晶からなる半導体基板1のメモリセルアレイの形成領域および図示しない周辺回路の形成領域の一部にp⁻型ウエル2を形成する。次に、p⁻型ウエル2の非活性領域の主面に素子分離用のフィールド絶縁膜4を形成する。この時、フィールド絶縁膜4の下に反転防止用のp型チャネルストッパ領域5を形成する。

【0110】次に、p⁻型ウエル2の活性領域の主面に駆動用MISFETQ_{d1}, Q_{d2}のしきい値電圧を調整するためにBF₃をイオン注入した後、駆動用MISFETQ_{d1}, Q_{d2}のゲート絶縁膜6を形成する。このゲート絶縁膜6は熱酸化法で形成される。

【0111】次に、半導体基板1の全面にPが導入された多結晶シリコン膜(図示せず)をCVD法で堆積する。この多結晶シリコン膜は第1層目のゲート材である。次に、多結晶シリコン膜の上に酸化シリコン膜からなる絶縁膜8をCVD法で堆積する。絶縁膜8は、駆動用MISFETQ_{d1}, Q_{d2}のゲート電極7とその上層に形成される導電層とを電気的に分離するために形成する。

【0112】次に、フォトリソ膜をマスクにして絶縁膜8およびその下層の多結晶シリコン膜を順次エッチングすることにより、駆動用MISFETQ_{d1}, Q_{d2}のゲート電極7を形成する。次に、半導体基板1の全面に堆積された酸化シリコン膜(図示せず)をRIE(Reactive Ion Etching)などの異方性エッチングでエッチングして、駆動用MISFETQ_{d1}, Q_{d2}のゲート電極7の側壁にサイドウォールスペーサ9を形成する。

【0113】次に、半導体基板1の主面にフォトリソ膜を形成した後、これをマスクにして上記駆動用MI

SFETQ_{d1}, Q_{d2}の形成領域のp⁻型ウエル2の主面にPおよび砒素(As)をイオン注入し、このPおよびAsを引伸し拡散させることにより、駆動用MISFETQ_{d1}, Q_{d2}のn⁻型半導体領域10およびn⁺型半導体領域11を形成する。これによって、2重拡散ドレイン構造のソース領域およびドレイン領域を有する駆動用MISFETQ_{d1}, Q_{d2}が完成する。

【0114】次に、活性領域の主面を希フッ酸水溶液によるエッチングで洗浄し、転送用MISFETQ_{t1}, Q_{t2}のゲート絶縁膜12を形成する。次に、半導体基板1の主面にフォトリソ膜を形成し、これをマスクにして駆動用MISFETQ_{d1}, Q_{d2}のn⁺型半導体領域11上の絶縁膜(ゲート絶縁膜12と同一層の絶縁膜)をエッチングすることにより、コンタクトホール14を形成する。

【0115】次に、半導体基板1の全面に第2層目のゲート材(図示せず)を堆積する。このゲート材は、Pが導入された多結晶シリコン膜とタングステンシリサイド膜との積層膜(ポリサイド膜)からなる。

【0116】次に、上記タングステンシリサイド膜の上に酸化シリコン膜からなる絶縁膜15を堆積する。この絶縁膜15は、転送用MISFETQ_{t1}, Q_{t2}のゲート絶縁膜12とその上層に形成される導電層とを電気的に分離するために形成する。

【0117】次に、上記絶縁膜15の上にフォトリソ膜を形成し、これをマスクにして絶縁膜15およびその下層の前記第2層目のゲート材(ポリサイド膜)を順次エッチングして転送用MISFETQ_{t1}, Q_{t2}のゲート電極13A、ワード線WLおよび基準電圧線(V_{ss})13Bをそれぞれ形成する。

【0118】次に、半導体基板1の主面にフォトリソ膜を形成した後、これをマスクにして転送用MISFETQ_{t1}, Q_{t2}の形成領域のp⁻型ウエル2の主面にPをイオン注入し、このPを引伸し拡散して転送用MISFETQ_{t1}, Q_{t2}のn⁻型半導体領域17を形成する。

【0119】次に、半導体基板1の全面にCVD法で堆積された酸化シリコン膜(図示せず)をRIEなどの異方性エッチングでエッチングして、転送用MISFETQ_{t1}, Q_{t2}のゲート電極13A、ワード線WLおよび基準電圧線(V_{ss})13Bのそれぞれの側壁にサイドウォールスペーサ16を形成する。

【0120】次に、半導体基板1の主面に形成したフォトリソ膜をマスクにして転送用MISFETQ_{t1}, Q_{t2}の形成領域のp⁻型ウエル2の主面に砒素(As)をイオン注入し、転送用MISFETQ_{t1}, Q_{t2}のn⁺型半導体領域18を形成する。

【0121】転送用MISFETQ_{t1}, Q_{t2}の形成領域のp⁻型ウエル2の主面には、あらかじめn⁻型半導体領域17が形成されているので、n⁺型半導体領域1

8の形成により、LDD構造のソース領域およびドレイン領域を有する転送用MISFET Q_{t1} 、 Q_{t2} が完成する。

【0122】次に、図18に示すように、半導体基板1の全面に酸化シリコン膜からなる絶縁膜21をCVD法で堆積する。次に、絶縁膜21の上にフォトリソ膜を形成し、これをマスクにして絶縁膜21および絶縁膜8をエッチングすることにより、駆動用MISFET Q_{d1} のゲート電極7(Q_{d1})と転送用MISFET Q_{t1} のソース領域乃至ドレイン領域の一方の上部および駆動用MISFET Q_{d2} のゲート電極7(Q_{d2})と転送用MISFET Q_{t1} のソース領域乃至ドレイン領域の一方の上部にコンタクトホール22を形成する。

【0123】また、同時にこのフォトリソ膜をマスクにして絶縁膜21をエッチングすることにより、転送用MISFET Q_{t1} 、 Q_{t2} のソース領域乃至ドレイン領域の他方の上部にコンタクトホール22を形成する。

【0124】次に、半導体基板1の全面にPを導入した多結晶シリコン膜(図示せず)をCVD法で堆積する。この多結晶シリコン膜は第3層目のゲート材である。次に、この多結晶シリコン膜の上に形成したフォトリソ膜をマスクにして多結晶シリコン膜をエッチングすることにより、負荷用MISFET Q_{p1} 、 Q_{p2} のゲート電極23Aおよびパッド層23Bをそれぞれ形成する。

【0125】次に、半導体基板1の全面に負荷用MISFET Q_{p1} 、 Q_{p2} のゲート絶縁膜24をCVD法で堆積した後、このゲート絶縁膜24の上にフォトリソ膜を形成し、これをマスクにしてゲート絶縁膜24をエッチングすることにより、負荷用MISFET Q_{p1} 、 Q_{p2} のゲート電極23Aの上部にコンタクトホール25を形成する。

【0126】次に、半導体基板1の全面に第4層目のゲート材である多結晶シリコン膜(図示せず)をCVD法で堆積する。次に、この多結晶シリコン膜の上に形成したフォトリソ膜をマスクにして負荷用MISFET Q_{p1} 、 Q_{p2} のチャネル領域26Nを形成する領域の多結晶シリコン膜にPをイオン注入する。

【0127】次に、多結晶シリコン膜の上に新たに形成したフォトリソ膜をマスクにして負荷用MISFET Q_{p1} 、 Q_{p2} のソース領域26P、ドレイン領域26Pおよび電源電圧線(V_{cc})26Pを形成する領域の多結晶シリコン膜にBF₃をイオン注入する。

【0128】次に、多結晶シリコン膜の上に新たに形成したフォトリソ膜をマスクにして多結晶シリコン膜をエッチングし、負荷用MISFET Q_{p1} 、 Q_{p2} のチャネル領域26N、ソース領域26P、ドレイン領域26Pおよび電源電圧線(V_{cc})26Pをそれぞれ形成することにより、負荷用MISFET Q_{p1} 、 Q_{p2} が完成する。

【0129】次に、図11に示すように、半導体基板1

の全面に酸化シリコン膜およびBPSGからなる層間絶縁膜27をCVD法で順次堆積する。次いで、上記層間絶縁膜27上に形成したフォトリソ膜をマスクにして、層間絶縁膜27をエッチングし、負荷用MISFET Q_{p1} 、 Q_{p2} のドレイン領域26Pの上部にコンタクトホール28Aを形成する。

【0130】同時に、層間絶縁膜27および絶縁膜(負荷用MISFET Q_{p1} 、 Q_{p2} のゲート絶縁膜24)を順次エッチングし、転送用MISFET Q_{t1} 、 Q_{t2} のソース領域乃至ドレイン領域の一方の上層に配置された前記パッド層23Bの上部にコンタクトホール28Bを形成する。

【0131】次に、半導体基板1の全面に第1層目の配線材(図示せず)を堆積する。この第1層目の配線材は、例えばタングステン膜である。次に、このタングステン膜上に形成したフォトリソ膜をマスクにしてタングステン膜をエッチングし、第1層目の配線29A、29Bを形成する。

【0132】上記第1層目の配線29Aは負荷用MISFET Q_{p1} 、 Q_{p2} のドレイン領域に前記コンタクトホール28Aを通して接続され、また、上記第1層目の配線29Bは転送用MISFET Q_{t1} 、 Q_{t2} の上層に位置するパッド層23Bに前記コンタクトホール28Bを通して接続されている。

【0133】次に、図11に示すように、第1のバリア層30を半導体基板1の全面に堆積した後、強誘電体コンデンサ C_{f1} 、 C_{f2} の強誘電体材料となる強誘電体膜31を堆積する。第1のバリア層30は、例えばIrO₂膜であり、強誘電体膜31は、例えばPZT膜である。PZT膜は、例えばスパッタリング法またはスピノン塗布法で形成され、その膜厚は、300nm程度である。

【0134】続いて、第2のバリア層32および導電膜(図示せず)を堆積する。この導電膜は、例えばWであり、強誘電体コンデンサ C_{f1} 、 C_{f2} の他方の極板を構成するプレート電極33となる。前記第2のバリア層32は、例えばIrO₂膜である。

【0135】次に、上記導電膜の上に形成したフォトリソ膜をマスクにしてこの導電膜をエッチングすることにより、プレート電極33が形成される。続いて、同じフォトリソ膜をマスクに用いて、第2のバリア層32、強誘電体膜31および第1のバリア層30を順次エッチングする。

【0136】これにより、負荷用MISFET Q_{p1} 、 Q_{p2} のドレイン領域に接続された第1層目の配線29Aを一方の極板とし、プレート電極33を他方の極板とし、第1層目の配線29Aとプレート電極33との間に位置する強誘電体膜31を誘電体材料とする強誘電体コンデンサ C_{f1} 、 C_{f2} が完成する。

【0137】次に、図11に示すように、半導体基板1

の全面に酸化シリコン膜、スピンオングラス膜、酸化シリコン膜を順次積層した3層膜からなる層間絶縁膜34を堆積する。

【0138】次に、上記層間絶縁膜34上に形成したフォトレジスト膜をマスクにして層間絶縁膜34をエッチングし、強誘電体コンデンサ Cf_1, Cf_2 の一方の極板であるプレート電極33および転送用MISFET Qt_1, Qt_2 のソース領域乃至ドレイン領域の一方の上層に配置された第1層目の配線29Bの上部にコンタクトホール35を形成した後、半導体基板1の全面に第2層目の配線材(図示せず)を堆積する。

【0139】この配線材は、TiW膜、アルミニウム合金膜、TiW膜を順次積層した3層膜からなる。次に、TiW膜上に形成したフォトレジスト膜をマスクにしてTiW膜、アルミニウム合金膜、TiW膜を順次エッチングすることにより、第2層目の配線36(データ線DL)を形成する。

【0140】最後に、図11に示すように、半導体基板1上にファイナルパッシベーション膜37を堆積することによって、本実施例のメモリセル MC_1 が完成する。

【0141】本実施例によれば、半導体基板1上に転送用MISFET Qt_1, Qt_2 および駆動用MISFET Qd_1, Qd_2 を形成した後、転送用MISFET Qt_1, Qt_2 および駆動用MISFET Qd_1, Qd_2 の上層に負荷用MISFET Qp_1, Qp_2 を形成し、さらに、負荷用MISFET Qp_1, Qp_2 のドレイン領域26Pに強誘電体コンデンサ Cf_1, Cf_2 の一方の電極(29A)を接続させて、転送用MISFET Qt_1, Qt_2 、駆動用MISFET Qd_1, Qd_2 および負荷用MISFET Qp_1, Qp_2 の上層に強誘電体コンデンサ Cf_1, Cf_2 を形成できるので、TFT型SRAMのメモリセルの面積を大きくすることなく、不揮発性メモリ機能を有するメモリセルを得ることができる。

【0142】(実施例2)次に、図1に示したメモリセル MC の具体的な第2の構成(メモリセル MC_2)を図19~図22を用いて説明する。

【0143】図19~21は強誘電体コンデンサ Cf_1, Cf_2 を備えたメモリセル MC_2 の平面図(メモリセル MC_2 の略1個分を示す半導体基板の平面図)を示し、図22は図21の(b)-(b)'線における半導体基板の断面図を示す。なお、メモリセル MC_2 のフリップフロップ回路の構成は、完全CMOS型SRAMのメモリセルに用いられるフロップフロップ回路と同じである。

【0144】メモリセルを構成する6個のMISFETは、 p^- 型の半導体基板101のフィールド絶縁膜102で周囲を囲まれた活性領域に形成されている。 n チャネル型で構成される駆動用MISFET Qd_1, Qd_2 および転送用MISFET Qt_1, Qt_2 のそれぞれは p 型ウエル103の活性領域に形成され、 p チャネル型で構成される負荷用MISFET Qp_1, Qp_2 は n 型ウエル

104の活性領域に形成されている。 p 型ウエル103、 n 型ウエル104のそれぞれは、半導体基板101上に形成された p 型エピタキシャルシリコン層105の主面に形成されている。

【0145】図19に示すように、転送用MISFET Qt_1, Qt_2 は、ワード線WLと一体に構成されたゲート電極106を有している。このゲート電極106(ワード線WL)は、多結晶シリコン膜(または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜)で構成され、酸化シリコン膜で構成されたゲート絶縁膜107の上に形成されている。

【0146】上記転送用MISFET Qt_1, Qt_2 のそれぞれのソース領域、ドレイン領域は、図示はしないが、 p 型ウエル103の活性領域に形成された低不純物濃度の n^- 型半導体領域および高不純物濃度の n^+ 型半導体領域で構成されている。すなわち、転送用MISFET Qt_1, Qt_2 のそれぞれのソース領域、ドレイン領域は、LDD構造で構成されている。

【0147】フリップフロップ回路の一方のCMOSインバータを構成する駆動用MISFET Qd_1 および負荷用MISFET Qp_1 は、共通のゲート電極110Aを有しており、他方のCMOSインバータを構成する駆動用MISFET Qd_2 および負荷用MISFET Qp_2 は、共通のゲート電極110Bを有している。

【0148】これらのゲート電極110A, 110Bは、前記転送用MISFET Qt_1, Qt_2 のゲート電極106(ワード線WL)と同じ多結晶シリコン膜で構成され、ゲート絶縁膜107の上に形成されている。ゲート電極106(ワード線WL)およびゲート電極110A, 110Bを構成する多結晶シリコン膜には、 n 型の不純物(例えばP)が導入されている。

【0149】駆動用MISFET Qd_1, Qd_2 のそれぞれのソース領域、ドレイン領域は、 p 型ウエル103の活性領域に形成された低不純物濃度の n^- 型半導体領域108および高不純物濃度の n^+ 型半導体領域109で構成されている。すなわち、駆動用MISFET Qd_1, Qd_2 のそれぞれのソース領域、ドレイン領域は、LDD構造で構成されている。

【0150】また、負荷用MISFET Qp_1, Qp_2 のそれぞれのソース領域、ドレイン領域は、図示はしないが、 n 型ウエル104の活性領域に形成された低不純物濃度の p^- 型半導体領域および高不純物濃度の p^+ 型半導体領域で構成されている。すなわち、負荷用MISFET Qp_1, Qp_2 のそれぞれのソース領域、ドレイン領域は、LDD構造で構成されている。

【0151】上記ゲート電極(ワード線)106およびゲート電極110A, 110Bの上層には、絶縁膜111が形成されている。この絶縁膜111は、例えば酸化シリコン膜からなる。図20および図22に示すように、フィールド絶縁膜102上に位置する駆動用MIS

FETQ_{d1} および負荷用MISFETQ_{p1} の共通のゲート電極110Aの上には、強誘電体コンデンサC_{f1} の一方の極板となる導電膜114Aが形成されている。

【0152】同様に、フィールド絶縁膜102上に位置する駆動用MISFETQ_{d2} および負荷用MISFETQ_{p2} の共通のゲート電極110Bの上には、強誘電体コンデンサC_{f2} の一方の極板となる導電膜114Bが形成されている。導電膜114A、114Bは、例えばn型不純物が導入された多結晶シリコン膜とタンゲステン(W)などの高融点金属膜を順次堆積した積層膜で構成されている。

【0153】上記強誘電体コンデンサC_{f1} の一方の極板である導電層114Aは、絶縁膜111に開孔されたコンタクトホール113Aを通じて駆動用MISFETQ_{d1} および負荷用MISFETQ_{p1} の共通のゲート電極110Aに接続されている。同様に、上記強誘電体コンデンサC_{f2} の一方の極板である導電層114Bは、絶縁膜111に開孔されたコンタクトホール113Bを通じて駆動用MISFETQ_{d2} および負荷用MISFETQ_{p2} の共通のゲート電極110Bに接続されている。

【0154】図22に示すように、強誘電体コンデンサC_{f1} の一方の極板である導電膜114Aの上層および強誘電体コンデンサC_{f2} の一方の極板である導電膜114Bの上層には、第1のバリア層115を介して強誘電体膜116が形成されている。第1のバリア層115は、例えばIrO₂ 膜であり、強誘電体膜116は、例えばPZT膜である。

【0155】さらに、上記強誘電体膜116の上層には、第2のバリア層117を介して強誘電体コンデンサC_{f1}、C_{f2} の他方の極板であるプレート電極118が形成されている。第2のバリア層117は、例えばIrO₂ 膜であり、プレート電極118は、例えばWなどの高融点金属膜で構成されている。

【0156】前記第1のバリア層115および第2のバリア層117は、強誘電体膜116とその下層に位置する導電膜114A、114Bおよび強誘電体膜116とその上層の位置するプレート電極118が反応するのを防ぐために設けられている。

【0157】図21および図22に示すように、プレート電極118の上層には、第1層目の層間絶縁膜119を介して第1層目の配線121A、121Bが配置されている。層間絶縁膜119は、例えば酸化シリコン膜とBPSG膜との積層膜で構成され、第1層目の配線121A、121Bは、例えばW膜で構成されている。

【0158】駆動用MISFETQ_{d1} のドレイン領域上の層間絶縁膜119には、コンタクトホール120Aが開孔されており、また、負荷用MISFETQ_{p1} のドレイン領域および駆動用MISFETQ_{d2} と負荷用

MISFETQ_{p2} の共通のゲート電極110B上の層間絶縁膜119には、コンタクトホール120Bが開孔されている。

【0159】同様に、駆動用MISFETQ_{d2} のドレイン領域および駆動用MISFETQ_{d1} と負荷用MISFETQ_{p1} の共通のゲート電極110A上の層間絶縁膜119には、コンタクトホール120Cが開孔されており、また、負荷用MISFETQ_{p2} のドレイン領域上の層間絶縁膜119には、コンタクトホール120Dが開孔されている。

【0160】従って、上記層間絶縁膜119の上に形成される第1層目の配線121Aによって、駆動用MISFETQ_{d1} のドレイン領域、負荷用MISFETQ_{p1} のドレイン領域、駆動用MISFETQ_{d2} と負荷用MISFETQ_{p2} の共通のゲート電極110Bおよび転送用MISFETQ_{t1} のソース領域乃至ドレイン領域の一方が電気的に接続される。

【0161】同様に、第1層目の配線121Bによって、駆動用MISFETQ_{d2} のドレイン領域、負荷用MISFETQ_{p2} のドレイン領域、駆動用MISFETQ_{d1} と負荷用MISFETQ_{p1} の共通のゲート電極110Aおよび転送用MISFETQ_{t2} のソース領域乃至ドレイン領域の一方が電気的に接続される。

【0162】上記第1層目の配線121A、121Bの上層には、図示はしないが、第2層目の層間絶縁膜を介して第2層目の配線が形成されている。第2層目の配線は、データ線DL₁、DL₂を構成しており、このデータ線DL₁、DL₂は、第2層目の層間絶縁膜に開孔されたコンタクトホール122Aを通じて転送用MISFETQ_{t1}、Q_{t2}のソース領域乃至ドレイン領域に接続されている。

【0163】また、第2層目の配線は、基準電圧線(V_{ss})を構成しており、第2層目の層間絶縁膜に開孔されたコンタクトホール122Bを通して駆動用MISFETQ_{d1}、Q_{d2}のソース領域に接続されている。さらに、第2層目の配線は、電源電圧(V_L)を構成しており、第2層目の層間絶縁膜に開孔されたコンタクトホール122Cを通して負荷用MISFETQ_{p1}、Q_{p2}のソース領域に接続されている。

【0164】次に、上記のように構成された本実施例のメモリセルMC₂の製造方法を説明する。なお、このメモリセルの製造方法を示す図22の断面図は、前記図21の(b)-(b)'線に対応している。

【0165】まず、p⁻型単結晶シリコンからなる半導体基板101の上にp型のエピタキシャルシリコン層105を成長させた後、半導体基板101の主面上にフィールド絶縁膜102を形成する。続いて、周知の方法で、半導体基板101にp型ウエル103およびn型ウエル104を形成する。次に、フィールド絶縁膜102で囲まれたp型ウエル103およびn型ウエル104

のそれぞれの主面に薄い酸化シリコン膜で構成されたゲート絶縁膜107を形成する。

【0166】次に、転送用MISFET Q_{t1} 、 Q_{t2} のゲート電極106（ワード線WL）、および駆動用MISFET Q_{d1} 、 Q_{d2} と負荷用MISFET Q_{p1} 、 Q_{p2} のゲート電極110A、110Bとを形成する。

【0167】ゲート電極106（ワード線WL）およびゲート電極110A、110Bは、半導体基板1の全面にCVD法でPが導入された多結晶シリコン膜を堆積した後、その上にCVD法で酸化シリコンの絶縁膜111を堆積し、フォトリソ膜をマスクにしたドライエッチングでこの絶縁膜111および多結晶シリコン膜をパターンニングして形成する。

【0168】次に、フォトリソ膜をマスクにしたイオン注入によりp型ウエル103にn型不純物（P、As）を、n型ウエル104にp型不純物（BF₂）を導入する。次に、上記フォトリソ膜を除去した後、半導体基板101の全面にCVD法で堆積した酸化シリコン膜をRIEでパターンニングして、ゲート電極106（ワード線WL）およびゲート電極110A、110Bのそれぞれの側壁にサイドウォールスペーサ112を形成する。

【0169】次に、フォトリソ膜をマスクにしたイオン注入によりp型ウエル103にn型不純物（P、As）を、n型ウエル104にp型不純物（BF₂）を導入する。

【0170】次に、上記フォトリソ膜を除去した後、上記n型不純物およびp型不純物を熱拡散して、p型ウエル103の主面に転送用MISFET Q_{t1} 、 Q_{t2} 、駆動用MISFET Q_{d1} 、 Q_{d2} のそれぞれのソース領域、ドレイン領域（n⁻型半導体領域108、n⁺型半導体領域109）を形成し、図示はしないが、n型ウエル104の主面に負荷用MISFET Q_{p1} 、 Q_{p2} のソース領域、ドレイン領域（p⁻型半導体領域、p⁺型半導体領域）を形成する。

【0171】次に、フィールド絶縁膜102の上部に位置する駆動用MISFET Q_{d1} と負荷用MISFET Q_{p1} の共通のゲート電極110Aおよび駆動用MISFET Q_{d2} と負荷用MISFET Q_{p2} の共通のゲート電極110Bの上を覆う前記絶縁膜111にドライエッチングでコンタクトホール113A、113Bを形成し、ゲート電極110A、110Bのそれぞれの一部を露出させる。

【0172】次に、図22に示すように、半導体基板101の全面に強誘電体コンデンサ C_{f1} 、 C_{f2} の一方の極板を構成するW膜を堆積する。次に、このW膜上に形成したフォトリソ膜をマスクにしてW膜をエッチングし、導電膜114A、114Bをそれぞれ形成する。

【0173】前記導電膜114Aは、駆動用MISFET Q_{d1} と負荷用MISFET Q_{p1} の共通のゲート電

極110Aにコンタクトホール113Aを通じて接続されている。また、前記導電膜114Bは、駆動用MISFET Q_{d2} と負荷用MISFET Q_{p2} の共通のゲート電極110Bにコンタクトホール113Bを通じて接続されている。

【0174】次に、第1のバリア層115を半導体基板101の全面に堆積した後、強誘電体コンデンサ C_{f1} 、 C_{f2} の強誘電体材料である強誘電体膜116を半導体基板101の全面に堆積する。第1のバリア層115は、例えばIrO₂膜であり、強誘電体膜は、例えばPZT膜である。

【0175】前記PZT膜は、例えばスパッタリング法またはスピンオン塗布法で形成され、その膜厚は、300nm程度である。前記第1のバリア層115は、強誘電体膜116と導電膜114A、114Bとの反応を防ぐために設けられている。

【0176】続いて、第2のバリア層117および導電膜（図示せず）を堆積する。この導電膜は、強誘電体コンデンサ C_{f1} 、 C_{f2} の他方の極板を構成するプレート電極118となる。前記第2のバリア層117は、例えばIrO₂膜であり、また、前記導電膜はWからなる。第2のバリア層117は、第1のバリア層115と同様に、強誘電体膜116とプレート電極118との反応を防ぐために設けられている。

【0177】次に、上記導電膜の上に形成したフォトリソ膜をマスクにして、この導電膜をエッチングすることにより、プレート電極118が完成する。

【0178】続いて、同じフォトリソ膜をマスクに用いて、第2のバリア層117、強誘電体膜116および第1のバリア層115を順次エッチングする。これにより、駆動用MISFET Q_{d1} と負荷用MISFET Q_{p1} の共通のゲート電極110Aに接続された導電膜114Aを一方の極板とし、プレート電極118を他方の極板とし、導電膜114Aとプレート電極118との間に位置する強誘電体膜116を強誘電体材料とする強誘電体コンデンサ C_{f2} が完成する。

【0179】同様に、駆動用MISFET Q_{d2} と負荷用MISFET Q_{p2} の共通のゲート電極110Bに接続された導電膜114Bを一方の極板とし、プレート電極118を他方の極板とし、導電膜114Bとプレート電極118との間に位置する強誘電体膜116を強誘電体材料とする強誘電体コンデンサ C_{f1} が完成する。

【0180】次に、半導体基板101の全面に酸化シリコン膜とBPSG膜を順次堆積した層間絶縁膜119を形成する。次いで、上記層間絶縁膜119上に形成したフォトリソ膜をマスクにして、層間絶縁膜119をエッチングする。これによって、負荷用MISFET Q_{p1} のドレイン領域上、駆動用MISFET Q_{d2} と負荷用MISFET Q_{p2} の共通のゲート電極110B上に共通のコンタクトホール120Bを形成する。

【0181】同様に、駆動用MISFETQ_{d2}のドレイン領域上、駆動用MISFETQ_{d1}と負荷用MISFETQ_{p1}の共通のゲート電極110A上に共通のコンタクトホール120Cを形成する。また、駆動用MISFETQ_{d1}のドレイン領域上および負荷用MISFETQ_{p2}のドレイン領域上にもコンタクトホール120A、120Dをそれぞれ形成する。

【0182】次に、半導体基板101の全面に、導電膜(図示せず)を堆積する。この導電膜は、例えばW膜である。この導電膜の上に形成したフォトレジスト膜をマスクにして、導電膜をエッチングする。これによって、駆動用MISFETQ_{d1}のドレイン領域、負荷用MISFETQ_{p1}のドレイン領域、駆動用MISFETQ_{d2}と負荷用MISFETQ_{p2}の共通のゲート電極110Bを接続する第1層目の配線121Aが形成される。

【0183】同様に、駆動用MISFETQ_{d2}のドレイン領域、負荷用MISFETQ_{p2}のドレイン領域、駆動用MISFETQ_{d1}と負荷用MISFETQ_{p1}の共通のゲート電極110Aを接続する第1層目の配線121Bが形成される。

【0184】次に、半導体基板1の全面に酸化シリコン膜、SOG膜、酸化シリコン膜を順次堆積した3層膜からなる第2層目の層間絶縁膜(図示せず)を堆積する。

【0185】その後、フォトレジスト膜をマスクにしたドライエッチングで第2層目の層間絶縁膜にコンタクトホール122A、122B、122Cを形成する。このコンタクトホール122Aは、転送用MISFETQ_{t1}、Q_{t2}のソース領域乃至ドレイン領域の一方の上部に形成され、また、コンタクトホール122Bは駆動用MISFETQ_{d1}、Q_{d2}のソース領域の上部、コンタクトホール122Cは負荷用MISFETQ_{p1}、Q_{p2}のソース領域の上部に形成される。

【0186】次に、半導体基板1の全面に第2層目の配線材(図示せず)を堆積する。この配線材は、例えばアルミニウム合金膜である。次に、フォトレジスト膜をマスクにしたドライエッチングでこのアルミニウム合金膜をパターニングして、データ線DL₁、DL₂を形成し、さらに、電源電圧(V_L)、基準電圧線(V_{SS})を形成する。

【0187】最後に、第2層目の配線上にファイナルパッシベーション膜を堆積することにより、本実施例のメモリセルMC₂が完成する。

【0188】本実施例によれば、駆動用MISFETQ_{d1}と負荷用MISFETQ_{p1}の共通のゲート電極110Aに、強誘電体コンデンサC_{f1}の一方の極板である導電膜114Aを接続させて、駆動用MISFETQ_{d1}と負荷用MISFETQ_{p1}の共通のゲート電極110Aの上層に強誘電体コンデンサC_{f1}が形成でき、また、同様に、駆動用MISFETQ_{d2}と負荷用MI

SFETQ_{p2}の共通のゲート電極110Bに、強誘電体コンデンサC_{f2}の一方の極板である導電膜114Bを接続させて、駆動用MISFETQ_{d2}と負荷用MISFETQ_{p2}の共通のゲート電極110Bの上層に強誘電体コンデンサC_{f2}が形成できるので、SRAMのメモリセルの面積を大きくすることなく、不揮発性メモリ機能を有するメモリセルを得ることができる。

【0189】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0190】たとえば、前記実施例では、強誘電体コンデンサの強誘電体材料にPZT膜を用いたが、電界を加えなくても自発的に分極が発生する材料、例えばPLZT(PbLaZrTiO₃)膜、BaTiO₃膜であれば、強誘電体材料として用いることができる。

【0191】また、前記実施例では、強誘電体コンデンサの強誘電体材料と電極の反応を防ぐためのバリア層としてIrO₂膜を用いたが、これに限られるものではなく、白金(Pt)膜またはPt膜とTiN膜の積層膜などを用いてもよい。

【0192】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0193】本発明によれば、メモリセルの面積を増すことなく、フリップフロップ回路の記憶ノードにおける情報を保持できる強誘電体コンデンサをフリップフロップ回路に接続できるので、不揮発性メモリ機能を有する高集積のRAMを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図2】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図3】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図4】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図5】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図6】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図7】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図8】本発明の一実施例である半導体集積回路装置を示すメモリセルの等価回路図である。

【図9】フリップフロップ回路の電源電圧およびプレート電圧のスイッチングのタイミング図である。

【図10】フリップフロップ回路の記憶ノードにおける

電圧の変化を示す図である。

【図11】本発明の一実施例である半導体集積回路装置のメモリセルを示す半導体基板の要部断面図である（図16の(a)－(a)'線における半導体基板の要部断面図）。

【図12】本発明の一実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図13】本発明の一実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図14】本発明の一実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図15】本発明の一実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図16】本発明の一実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図17】本発明の一実施例である半導体集積回路装置のメモリセルの製造方法を示す半導体基板の要部断面図である（図16の(a)－(a)'線における半導体基板の要部断面図）。

【図18】本発明の一実施例である半導体集積回路装置のメモリセルの製造方法を示す半導体基板の要部断面図である（図16の(a)－(a)'線における半導体基板の要部断面図）。

【図19】本発明の他の実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図20】本発明の他の実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図21】本発明の他の実施例である半導体集積回路装置のメモリセルのパターンレイアウトを示す要部平面図である。

【図22】本発明の他の実施例である半導体集積回路装置のメモリセルを示す半導体基板の要部断面図である（図21の(b)－(b)'線における半導体基板の要部断面図）。

【図23】本発明の他の実施例である半導体集積回路装置の強誘電体膜のヒステリシスループを示す図である。

【符号の説明】

- 1 半導体基板（半導体チップ）
- 2 p⁻型ウエル
- 3 領域
- 4 フィールド絶縁膜
- 5 p型チャネルストッパ領域
- 6 ゲート絶縁膜

- 7 ゲート電極
- 8 絶縁膜
- 9 サイドウォールスペーサ
- 10 n⁻型半導体領域
- 11 n⁺型半導体領域
- 12 ゲート絶縁膜
- 13A ゲート電極
- 13B 基準電圧線（V_{SS}）
- 14 コンタクトホール
- 15 絶縁膜
- 16 サイドウォールスペーサ
- 17 n⁻型半導体領域
- 18 n⁺型半導体領域
- 21 絶縁膜
- 22 コンタクトホール
- 23A ゲート電極
- 23B パッド層
- 24 ゲート絶縁膜
- 25 コンタクトホール
- 26N チャネル領域
- 26P ソース領域
- 26P ドレイン領域
- 26P 電源電圧線（V_L）
- 27 層間絶縁膜
- 28A コンタクトホール
- 28B コンタクトホール
- 29A 第1層目の配線
- 29B 第1層目の配線
- 30 第1のバリア層
- 31 強誘電体膜
- 32 第2のバリア層
- 33 プレート電極
- 34 層間絶縁膜
- 35 コンタクトホール
- 36 第2層目の配線
- 37 ファイナルパッシベーション膜
- 101 半導体基板
- 102 フィールド絶縁膜
- 103 p型ウエル
- 104 n型ウエル
- 105 p型エピタキシャルシリコン層
- 106 ゲート電極
- 107 ゲート絶縁膜
- 108 n⁻型半導体領域
- 109 n⁺型半導体領域
- 110A ゲート電極
- 110B ゲート電極
- 111 絶縁膜
- 112 サイドウォールスペーサ
- 113A コンタクトホール

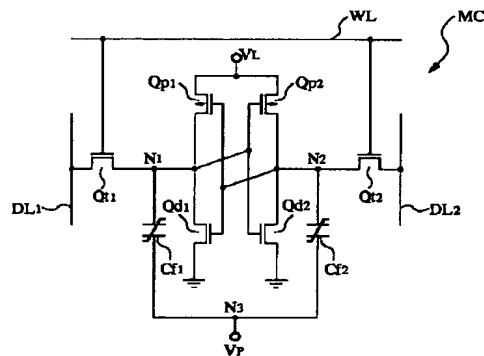
113B コンタクトホール
 114A 導電膜
 114B 導電膜
 115 第1のバリア層
 116 強誘電体膜
 117 第2のバリア層
 118 プレート電極
 119 層間絶縁膜
 120A コンタクトホール
 120B コンタクトホール
 120C コンタクトホール
 120D コンタクトホール
 121A 第1層目の配線
 121B 第1層目の配線
 122A コンタクトホール
 122B コンタクトホール
 122C コンタクトホール
 Cf₁ 強誘電体コンデンサ
 Cf₂ 強誘電体コンデンサ

DL データ線
 DL₁ 第1データ線
 DL₂ 第2データ線
 MC メモリセル
 MC₁ メモリセル
 MC₂ メモリセル
 Qd₁ 駆動用MISFET
 Qd₂ 駆動用MISFET
 Qp₁ 負荷用MISFET
 Qp₂ 負荷用MISFET
 Qt₁ 転送用MISFET
 Qt₂ 転送用MISFET
 WL ワード線
 N₁ 記憶ノード
 N₂ 記憶ノード
 N₃ ノード
 V_L 電源電圧
 V_p プレート電圧

【図1】

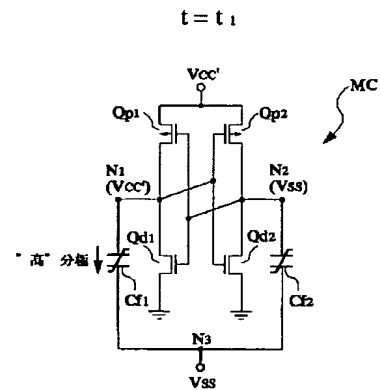
図 1

Qp₁, Qp₂: 負荷用MISFET
 Qd₁, Qd₂: 駆動用MISFET
 Cf₁, Cf₂: 強誘電体コンデンサ
 N₁, N₂, N₃: 記憶ノード
 V_L: 電源電圧
 V_p: プレート電圧



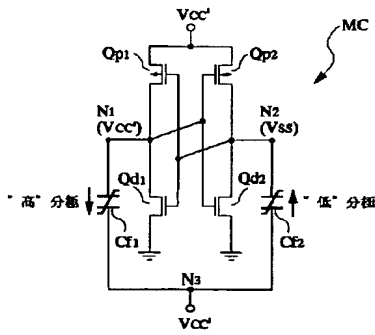
【図2】

図 2



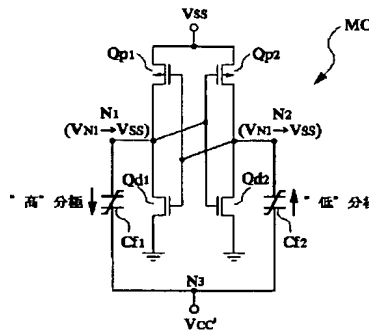
【図3】

図 3

 $t = t_2$ 

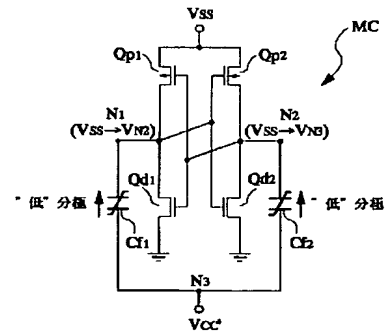
【図4】

図 4

 $t = t_4 \rightarrow t_5$ 

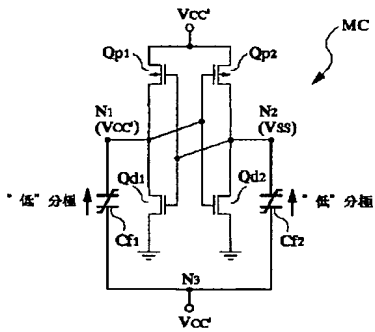
【図5】

図 5

 $t = t_5$ 

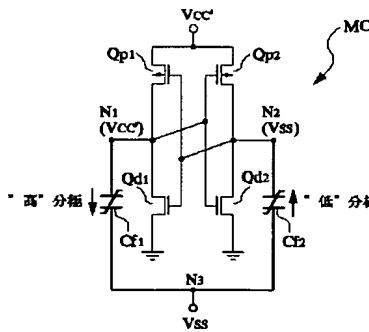
【図6】

図 6

 $t = t_6 - t_7$ 

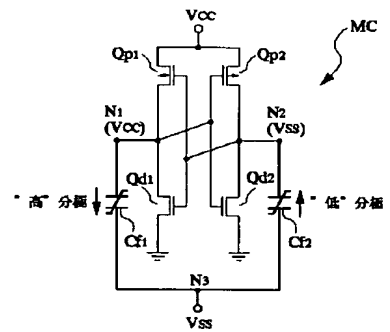
【図7】

図 7

 $t = t_7$ 

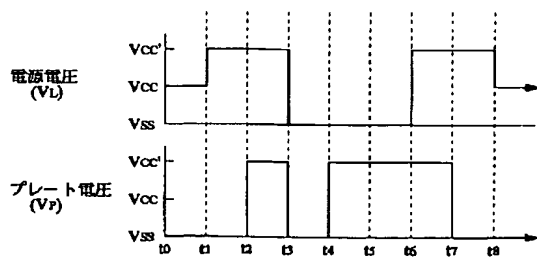
【図8】

図 8

 $t = t_8$ 

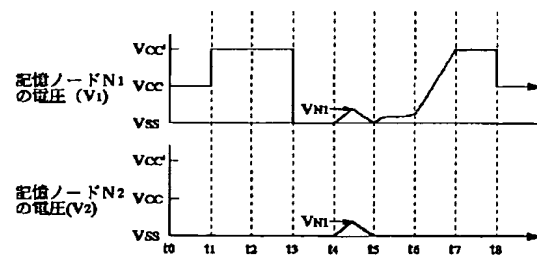
【図9】

図 9



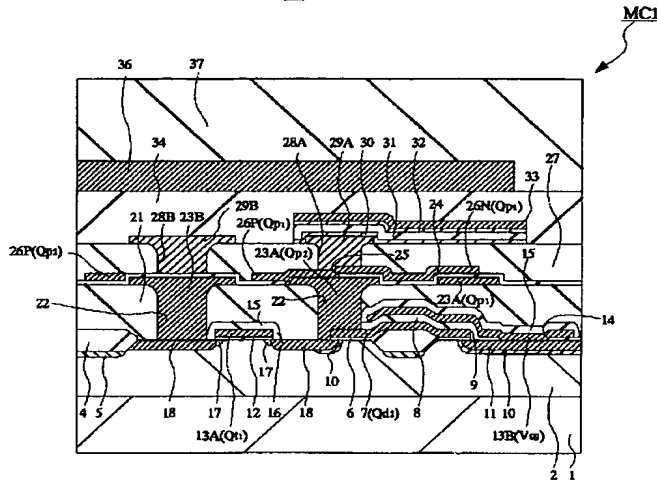
【図10】

図 10



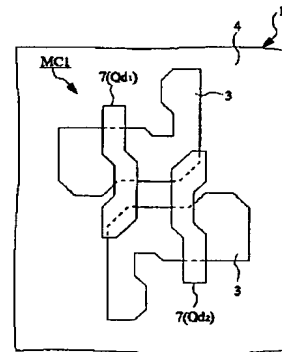
【図11】

図 11



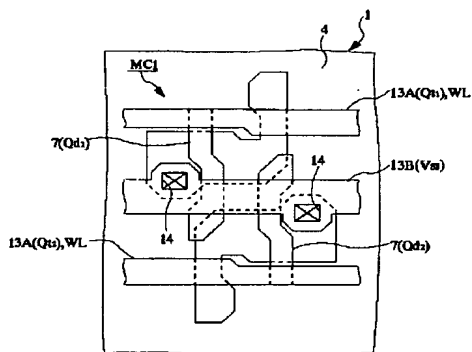
【図12】

図 12



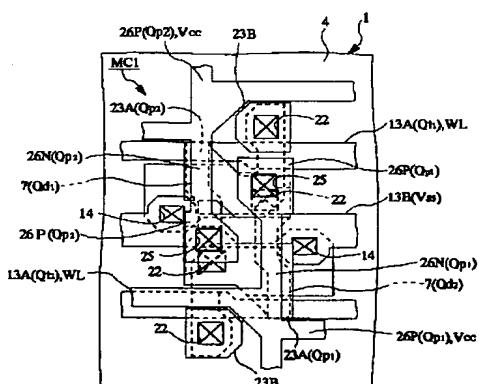
【図13】

図 13



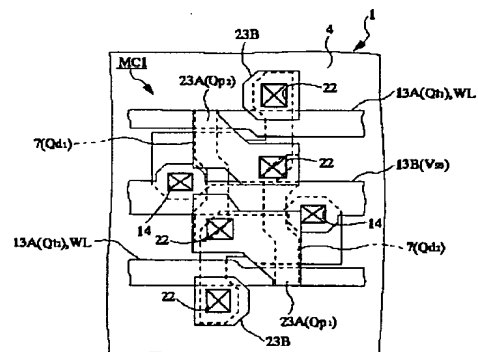
【図15】

図 15



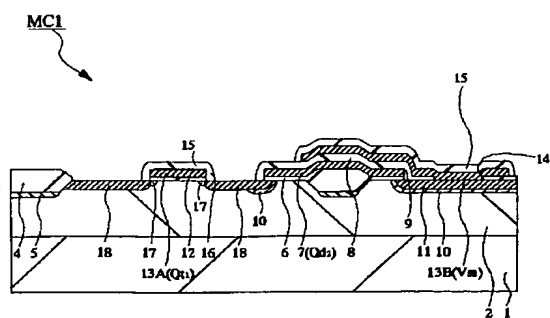
【図14】

図 14



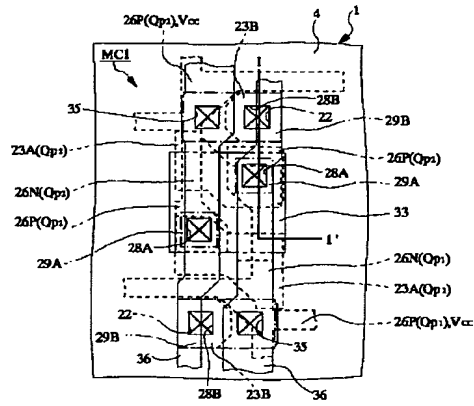
【図17】

図 17



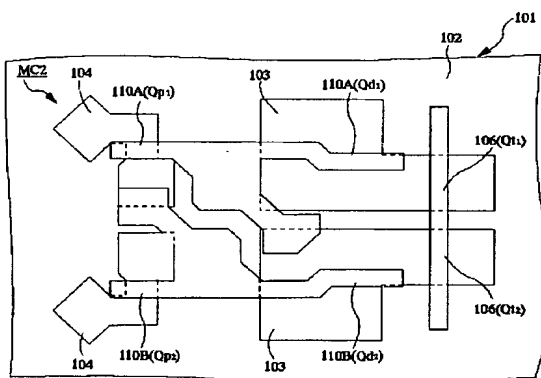
【図16】

図 16



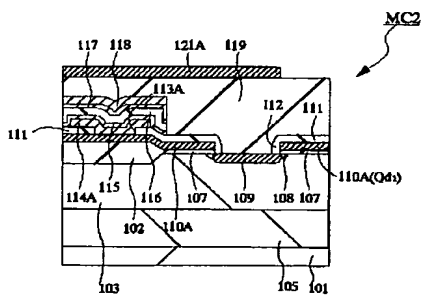
【図19】

図 19



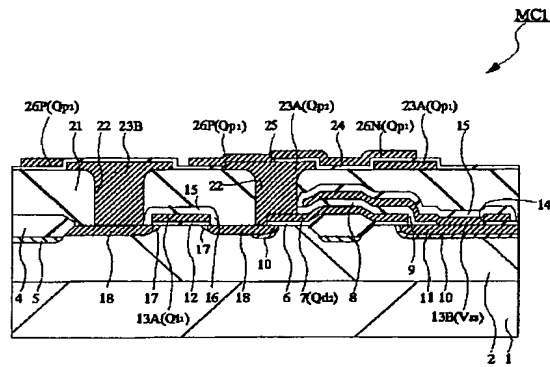
【図22】

図 22



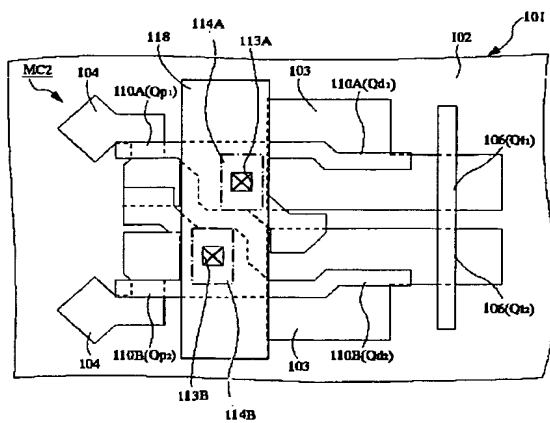
【図18】

図 18



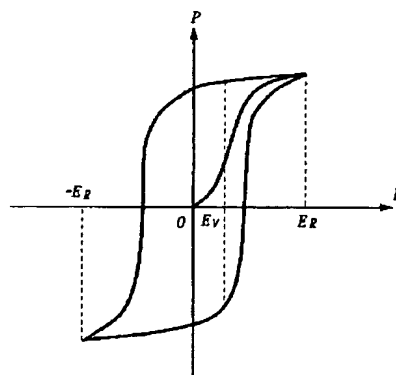
【図20】

図 20



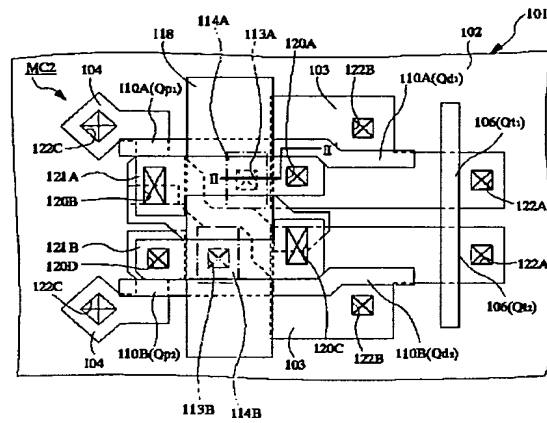
【図23】

図 23



【図21】

図 21



フロントページの続き

(51)Int. Cl.⁶

H01L 21/8242
29/78
21/8247
29/788
29/792

識別記号

庁内整理番号

F I

H01L 29/78

技術表示箇所

371

(72)発明者 朝倉 久雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内